

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10327003 A**

(43) Date of publication of application: **08.12.98**

(51) Int. Cl.  
**H01P 1/383**  
**H01P 1/36**  
**H04B 1/04**

(21) Application number: **10033005**

(22) Date of filing: **16.02.98**

(30) Priority: **21.03.97 JP 09 68217**

(71) Applicant: **MURATA MFG CO LTD**

(72) Inventor:  
**MAKINO TOSHIHIRO**  
**MASUDA AKITO**  
**KAWANAMI TAKASHI**  
**ASHIDA YOSHIHIKO**

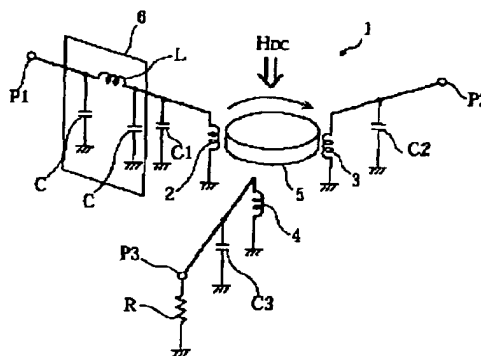
(54) **IRREVERSIBLE CIRCUIT ELEMENT AND  
COMPOSITE ELECTRONIC COMPONENT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an irreversible circuit element which eliminates increase in a loss and a narrow frequency band in the case of setting to a low power supply voltage.

SOLUTION: Relating to an isolator (irreversible circuit element) where plural center electrodes 2-4 are placed in crossing, a ferrite 5 is placed at the crossing part and a DC magnetic field HDC is applied to the ferrite 5, an impedance converter 6 is added to any of ports P1 of the center electrodes 2-4 to set an impedance Zi to be  $2 < Z_i < 12.5$  ohms.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号  
特開平10-327003  
(43)公開日 平成10年(1998)12月8日

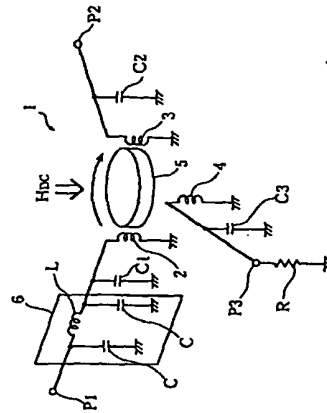
(51)IntCl. <sup>4</sup>	識別記号	P I	審査請求 未請求 請求項の数10 O L (全 10 頁)
H 0 1 P 1/383	H 0 1 P 1/383	A	(71)出願番号 特開平10-33005
H 0 4 B 1/04	H 0 4 B 1/04	B	(22)出願日 平成10年(1998)2月16日
			(31)優先権主張番号 特開平9-08217
			(32)優先日 平9(1997)3月21日
			(33)優先権主張国 日本 (J P)
			(71)出願人 000006231
			株式会社村田製作所
			京都府長岡京市天神2丁目28番10号
			(72)発明者 牧野 敏弘
			京都府長岡京市天神2丁目28番10号 株式会社村田製作所内
			(72)発明者 増田 昭人
			京都府長岡京市天神2丁目28番10号 株式会社村田製作所内
			(72)発明者 川浪 崇
			京都府長岡京市天神2丁目28番10号 株式会社村田製作所内
			(74)代理人 井理士 下市 努

(54)【発明の名称】 非可逆回路素子及び複合電子部品

(57)【要約】

【課題】 低電圧に設定する場合の損失の増大、及び同波数の帯域を回避できる非可逆回路素子を提供する。

【解決手段】 複数の中心電圧を2～4を交差させて配置し、交流部分にフェライト5を配置するとともに直流磁界HDCを印加するようにしたアイソレータ1（非可逆回路素子）において、上記中心電圧2～4の何れか1つのポートP1にインピーダンス変換回路8を付加し、入力インピーダンスZiを2<Zi<12.5Ωに設定する。



一体化

【発明の詳細な説明】

【特許請求の範囲】

【請求項1】 複数の中心電圧を交差させて配置し、該交流部分にフェライトを配置するとともに直流磁界を印加するようにした非可逆回路素子において、上記中心電圧の何れか1つのポートの入力及び出力インピーダンスZiを2<Zi<12.5Ωに設定したことを特徴とする非可逆回路素子。

【請求項2】 複数の中心電圧を交差させて配置し、該交流部分にフェライトを配置するとともに直流磁界を印加するようにした非可逆回路素子において、上記中心電圧の何れか1つのポートにインピーダンス変換回路を付加し、該ポートの入力インピーダンスZiを2<Zi<12.5Ωに設定したことを特徴とする非可逆回路素子。

【請求項3】 請求項2において、上記インピーダンス変換回路が付加されていない残りのポートの1つに終端抵抗を接続してアイソレータとしたことを特徴とする非可逆回路素子。

【請求項4】 請求項2又は3において、上記インピーダンス変換回路が、C-L-Cのπ型回路網により構成されていることを特徴とする非可逆回路素子。

【請求項5】 請求項4において、上記C-L-Cのπ型回路網のカットオフ周波数fcが0.75×fo<fc<2×foとなるように設定されていることを特徴とする非可逆回路素子。

【請求項6】 請求項2又は3において、上記インピーダンス変換回路が、L-C-Lのπ型回路網により構成されていることを特徴とする非可逆回路素子。

【請求項7】 請求項2又は3において、上記インピーダンス変換回路が、(2n-1)・λ/4（nは自然数、λは線路内波長）の分布定数トランスにより構成されていることを特徴とする非可逆回路素子。

【請求項8】 磁気回路を構成するヨーク内に、複数の中心電圧を交差させて配置するとともに該交流部分にフェライトを配置してなる磁性柱立と、上記中心電圧のポートに接続された整合用コンデンサとを収納した非可逆回路素子において、上記中心電圧の何れか1つのポートにインピーダンス変換回路を付加するとともに上記ヨーク内に内蔵し、該ポートの入力インピーダンスZiを2<Zi<12.5Ωに設定したことを特徴とする非可逆回路素子。

【請求項9】 請求項8において、上記インピーダンス変換回路が、ヨーク内に配置された非可逆回路構成部品に形成されていることを特徴とする非可逆回路素子。

【請求項10】 請求項1ないし9の何れかの非可逆回路素子を送信電力増幅器の出力部に接続して1つのケーシング内に収納し、表面実装用端子を有し、かつ6ボルト以下の電圧で動作することを特徴とする複合電子部品。

(2) 特開平10-327003

【0001】

【発明の属する技術分野】 本発明は、マイクロ波帯で使用される非可逆回路素子、例えば集中定数型のアイソレータ、サークキュレータに関する。

【0002】

【従来の技術】 最近、携帯電話等の移動通信機器の分野では、1/4 QPSKやCDMAといった技術利用効率の高いディジタル変調方式を採用した通信機器が採用されつつある。このディジタル通信機器においては、図9に示すように、送信電力増幅部に楕円形増幅器20が採用されている。これは入力整合回路21、4段増幅素子22、2段整合回路23、2段増幅素子24、出力整合回路25を接続配置した構造となっている。

【0003】 このような楕円形増幅器20を採用するに当たっては、電力増幅部での電力消費量が電池動作による携帯電話機の通信用可能時間に大きな影響を与えることから、高効率化を図る上での技術改良が著しく進んでいる。

【0004】 ところで、上記高効率楕円形増幅器は、負荷インピーダンスの変化の影響を受け易い特性を持っている。即ち、増幅の高効率化は負荷インピーダンスが望ましい値で一定の場合にのみ発揮される。例えば、アンテナのように入力インピーダンスの変化が大きい負荷を上記楕円形増幅器に直接接続すると、増幅器の効率が低下したり、入出力線形性が劣化したりするという問題が生じる。その結果、送信電力増幅部での電力消費量が増加し、また電波の伝播が通信用可能時間が短くなったり、また送信波に歪みが生じ、隣接チャネル・隣接周波数に妨害波を生じてしまう場合がある。さらに変調波のなかに受信側で復調不能となって送信そのものができなくなるおそれがある。

【0005】 このような問題を解消するために、上記楕円形増幅器20とアンテナ27との間に集中定数型のアイソレータ27を挿入する場合がある。このアイソレータは、図8に示すように、3つの中心電圧30～32を互いに所定間隔ごとに交差させて配置し、該交流部分にフェライト33を配置するとともに、直流磁界HDCを印加するように構成されており、上記中心電圧32のポートP3に終端抵抗Rが接続されている。

【0006】 上記アイソレータ27は負荷インピーダンスの変化にかかわらず入力インピーダンスが安定であることから、アンテナからの反射を吸収して整合状態を改善する機能を有している。これにより上記楕円形増幅器の効率の低下、あるいは入出力線形性の劣化を防止している。また上記楕円形増幅器20の入力及び出力の特性インピーダンスは50Ωで設計するのが一般的であり、アイソレータ27においても入力インピーダンスは一般に50Ωに設定されており、これは高周波部品における標準値となっている。

50 【0007】 一方、上記携帯電話機の小型化、軽量化に

併って電圧増成の増幅化も進んでおり、最近では3.6～6V程度の電圧に設定される場合がある。このため線形増幅器の電源電圧も3.0～6V程度に設定されている。また上記線形増幅器の飽和電力(入力を増加してもこれ以上出力が増えない電力をいう)は、電源電圧と増幅素子(トランジスタ、電界効果トランジスタ、その中でも最近では特にGaAs-FET)の出力インピーダンスで決定され、例えば定格出力電力が1W程度の線形増幅器では飽和電力は余裕を持たせるために2W前後に設定するのが一般的である。

【0008】  
【発明が解決しようとする課題】ところで、上記低電圧電圧とした場合、図8に示すように、出力増幅素子24の出力インピーダンスZ<sub>o</sub>は2～6Ω程度となり、通常の50Ωに設定される線形増幅器の出力インピーダンスに比べてかなり低くなる。このような低いインピーダンスを50Ωに変換するには、インピーダンス変換比の大きい出力整合回路25を採用する必要がある。このため、整合回路における損失が増加するとともに良好な整合がなされる同波数範囲が狭くなる。その結果、電力増幅器の効率、動作周波数帯域を劣化させる要因となるという問題がある。

【0009】本発明は、上記実情に鑑みてなされたもので、低電圧に設定する場合の損失の増大、及び同波数の帯域を回遊でき、小型化、低価格化に貢献できる非可逆回路素子及び複合電子部品を提供することを目的としている。

【0010】  
【課題を解決するための手段】請求項1の発明は、複数の中心電圧を交差させて配置し、交叉部境界にフェライトを配置するとともに直流境界を印刷した非可逆回路素子において、上記中心電圧の何れか1つのポートの入力及び出力インピーダンスZ<sub>i</sub>を2<Z<sub>i</sub><12.5Ωに設定したことを特徴としている。

【0011】請求項2の発明は、請求項1と同様の非可逆回路素子において、上記中心電圧の何れか1つのポートにインピーダンス変換回路を付加し、該ポートの入力インピーダンスZ<sub>i</sub>を2<Z<sub>i</sub><12.5Ωに設定したことを特徴としている。

【0012】請求項3の発明は、請求項2において、上記インピーダンス変換回路が印刷されていない残りのポートの1つに終端抵抗を接続してインピーダンスとしたことを特徴としている。

【0013】請求項4の発明は、請求項2又は3において、上記インピーダンス変換回路が、C-L-Cのπ型回路網により構成されていることを特徴としている。

【0014】請求項5の発明は、請求項4において、上記C-L-Cのπ型回路網のカットオフ周波数f<sub>c</sub>が0.75×f<sub>o</sub><f<sub>c</sub><2×f<sub>o</sub>となるように設定されていることを特徴としている。

【0015】請求項6の発明は、請求項2又は3において、上記インピーダンス変換回路が、L-C-Lのπ型回路網により構成されていることを特徴としている。

【0016】請求項7の発明は、請求項2又は3において、上記インピーダンス変換回路が、(2n-1)・λg/4 (nは自然数、λgは線路内波長)の分布定数トランジスタに構成されていることを特徴としている。

【0017】請求項8の発明は、磁気回路を構成するヨーク内に、複数の中心電圧を交差させて配置するとともに、上記各中心電圧のポートに接続された整合用コンデンサとを収納した非可逆回路素子において、上記中心電圧の何れか1つのポートにインピーダンス変換回路を付加するとともに上記ヨーク内に内蔵し、該ポートの入力インピーダンスZ<sub>i</sub>を2<Z<sub>i</sub><12.5Ωに設定したことを特徴としている。

【0018】請求項9の発明は、請求項8において、上記インピーダンス変換回路が、ヨーク内に配置された非可逆回路構成部品に形成されていることを特徴としている。

【0019】請求項10の発明は、請求項1ないし9の何れかの非可逆回路素子を送信電力増幅器の出力部に接続して1つのゲート素子以下に収納し、表面実装用端子を有し、かつ6ボルト以下の電源電圧で動作することを特徴とする複合電子部品。

【0020】ここで、上記入力インピーダンスZ<sub>i</sub>とは、アイソレータの入力ポートのように、当該ポートが電力を受けるときをその機軸として通常期待されるポートの特性インピーダンスの意味であり、出力インピーダンスZ<sub>o</sub>とは、増幅器の出力ポートのように当該ポートが電力を送り出すことをその機軸として通常期待されるポートの特性インピーダンスの意味であり、さらに入力及び出力インピーダンスZ<sub>i</sub>とは、サーキュレータの入出力ポートのように当該ポートが電力を受けるとき及び送り出すことを共にその機軸として通常期待されるポートの特性インピーダンスの意味である。

【0021】  
【発明の実施の形態】以下、本発明の実施の形態を添付図面に基いて説明する。図1及び図2は、請求項1、2、3、4、5の発明の一実施形態によるアイソレータを説明するための図であり、図1はアイソレータの等価回路図、図2は本アイソレータが採用された携帯電話用送信電力増幅器の構成図である。

【0022】本実施形態の集中定数型アイソレータは、3つの中心電圧2、3、4を互いに電磁的絶縁状態にかつ所定角度をなすように交差させて配置し、交叉部分にフェライト5を配置するとともに、永久磁石(不図示)により直流境界HDCを印刷して構成されている。【0023】上記各中心電圧2～4と各ポートP1～P3との間には整合用容量C1～C3が並列接続されてお

り、このうち1つのポートP3には終端抵抗器Rが接続されている。これによりポートP1からの送信信号をポートP2に伝送し、該ポートP2から侵入する反射波を終端抵抗器Rで吸収する。

【0024】そして上記ポートP1にはインピーダンス変換回路6が付加されている。このインピーダンス変換回路6により上記ポートP1のインピーダンスのみ2～12.5Ωに設定されており、ポートP2のインピーダンスは50Ωに設定されている。上記インピーダンス変換回路6はアイソレータ1内に一体に内蔵されている。【0025】上記インピーダンス変換回路6は、インダクタンスLとキャパシタンスC-L-C型回路網からなるもので、このπ型回路網のカットオフ周波数f<sub>c</sub>は0.75×f<sub>o</sub><f<sub>c</sub><2×f<sub>o</sub>の範囲となるように設定されている。

【0026】また上記アイソレータ1は、送信電力増幅器10とアンテナ11との間に挿入されている。この電力増幅器10は、入力整合回路12、1段目増幅素子13、2段目増幅素子14、2段目増幅素子15、及び出力整合回路16を備えており、該出力整合回路16の出力部に上記アイソレータ1が接続されている。

【0027】次に本実施形態の作用効果について説明する。本実施形態のアイソレータ1によれば、送信信号が入力されるポートP1にインピーダンス変換回路6を付加し、インピーダンスを2～12.5Ωに設定したので、出力増幅素子15からの低いインピーダンスを安定したインピーダンスに変換することが可能となる。

【0028】これにより、上述のインピーダンス変換比の大きい整合回路を設ける必要はなくなり、リアクタンズ成分だけを除去する出力整合回路16を採用することである。その結果、3～6ボルトの低電圧電圧に設定できる場合の挿入損失を小さくできるとともに、周波数帯域を広くでき、品質に対する信頼性を向上できる。ひいては携帯電話機の小小型化、軽量化に貢献できる。

【0029】本実施形態では、インピーダンス変換回路6のカットオフ周波数f<sub>c</sub>を0.75×f<sub>o</sub><f<sub>c</sub><2×f<sub>o</sub>の範囲としたので、これにより低通過フィルタとして機能することとなり、送信電力増幅器10で発生する不要な高調波を抑制除去でき、この点からも信頼性、高品質に貢献できる。

【0030】なお、上記実施形態では、集中定数型アイソレータ1を例にとりて説明したが、本発明は、図3に示すように、3ポート型のサーキュレータ40にも勿論適用でき、この場合にも何れか1つのポートP1にインピーダンス変換回路6を付加することにより上記実施形態と同様の効果が得られる。

【0031】図4は、請求項6の発明の一実施形態によるサーキュレータを説明するための等価回路図であり、図中、図1と同一符号は同一又は相当部分を示す。【0032】本実施形態の集中定数型サーキュレータ40

1は、3つの中心電圧2～4の交叉部分にフェライト5を配置するとともに直流境界HDCを印刷して構成されている。そして上記サーキュレータ40の1つのポートP1にはインピーダンス変換回路42が付加されており、該インピーダンス変換回路42はL-C-Lのπ型回路網からなるものである。

【0033】本実施形態においても、低いインピーダンスを安定したインピーダンスに変換することが可能となり、上記実施形態と同様の効果が得られる。

【0034】図5は、請求項7の発明の一実施形態によるサーキュレータを説明するための等価回路図であり、図中、図1と同一符号は同一又は相当部分を示す。【0035】本実施形態のサーキュレータ41は、1つのポートP1にインピーダンス変換回路43を付加し、該変換回路43を(2n-1)・λg/4の分布定数トランジスタにより構成した場合である。本実施形態において、上記実施形態と同様の効果が得られる。

【0036】図6及び図7は、請求項10の発明の一実施形態による複合電子部品を説明するための図であり、図中、図1及び図2と同一符号は同一又は相当部分を示す。

【0037】本実施形態のアイソレータ1は、ポートP1にインピーダンス変換回路6を付加してなり、基本的構造は上記実施形態と同様である。そして本アイソレータ1は6ボルト以下の電源電圧で動作する送信電力増幅器50内に一体に内蔵されている。

【0038】上記送信電力増幅器50は、回路基板51に上記の入力整合回路12、1段目増幅素子13、2段目増幅素子14、2段目増幅素子15、及び出力整合回路16を実装し、各素子12～15をマイクログリップライン54により接続してなり、該出力整合回路16の出力部に上記アイソレータ1が接続されている。

【0039】また上記回路基板51にはフェライト52が装着されており、該ケース52と回路基板51の間から表面実装用の入出力、及びアース端子53が突出している。

【0040】本実施形態では、送信電力増幅器50内にアイソレータ1を内蔵して一体化したので、1つの複合電子部品として構成できることから、回路構成を単純化できるとともに、小型化でき、携帯電話機の小小型化に貢献できる。

【0041】ここで、近年の携帯電話機等の小型化、軽量化に伴って回路基板の薄板化が進んでおり、これに対してマイクロストリップラインのライン幅も極端に狭くなる。例えば、回路基板の厚さを0.1mmとした場合の特性インピーダンス50Ωのライン幅は0.17mmとなり、また板厚を0.3mmとした場合の特性インピーダンス50Ωのライン幅は0.5mmとなる。

【0042】このようにライン幅が狭くなると、マイクロストリップラインの幅精度が得られず整合不良を起こ



記請求項1と同様の効果が得られる。

【0071】請求項8の発明では、インピーダンス変換回路をヨーク内に内蔵したので、別回路を用いる場合のコスト上昇及び大型化を回避でき、小型化、低価格化に貢献できる効果がある。

【0072】請求項9の発明では、インピーダンス変換回路をヨーク内に配設された非可逆回路構成部品に形成したので、該部品を有効利用して形成でき、小型化、軽量化に貢献できる効果がある。

【0073】請求項10の発明では、6ボルト以下の電圧で動作する送信電力増幅器内に非可逆回路素子を一体に内蔵したので、回路構成を簡単にできるとともに、小型化に貢献できる効果があり、またライン幅を広く設定でき、整合不良の発生を防止できる効果がある。

(図面の簡単な説明)

【図1】請求項1～5の発明の一実施形態による集中定数型アイソレータの等価回路図である。

【図2】上記アイソレータが採用された送信電力増幅器の構成図である。

【図3】サークュレータに適用した場合の等価回路図である。

【図4】請求項6の発明の一実施形態による集中定数型サークュレータの等価回路図である。

【図5】請求項7の発明の一実施形態による集中定数型サークュレータの等価回路図である。

【図6】請求項10の発明の一実施形態によるアイソレータを内蔵した送信電力増幅器（複合電子部品）の構成図である。

【図7】上記送信電力増幅器の分解斜視図である。

【図8】一般的なアイソレータの等価回路図である。

\* 【図9】一般的な送信電力増幅器の構成図である。

【図10】請求項8、9の発明による集中定数型アイソレータの分解斜視図である。

【図11】上記アイソレータの側面図である。

【図12】上記アイソレータのスペーサ部材の平面図である。

【図13】上記アイソレータの等価回路図である。

【図14】上記アイソレータの低域通過フィルタ部分の回路図である。

【符号の説明】

1 アイソレータ（非可逆回路素子）

2～4 中心電極

5 フェライト

6、42、43 インピーダンス変換回路

40、41 サークュレータ（非可逆回路素子）

50 送信電力増幅器

60、62 上、下ヨーク

61 永久磁石

64 磁性組立

70 スペーサ部材（非可逆回路構成部品）

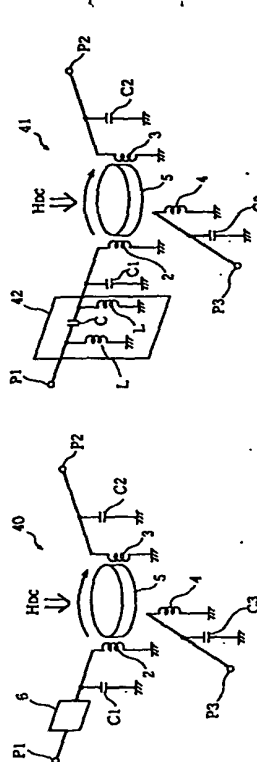
71 インダクタンス電極（インダクタンスL f）

72、73 コンデンサ電極（コンデンサC f）

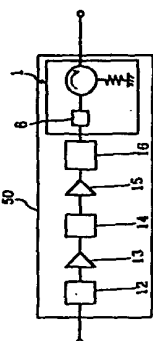
P1～P3 ポート

C1～C3 整合用コンデンサ

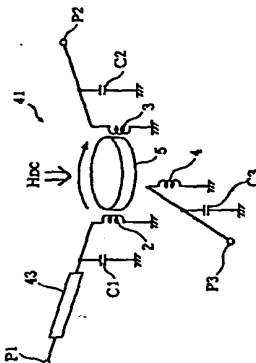
【図4】



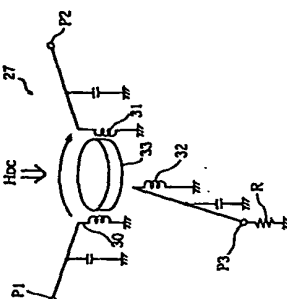
【図6】



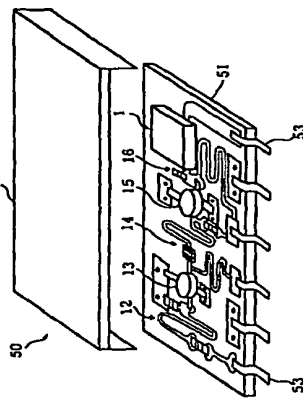
【図5】



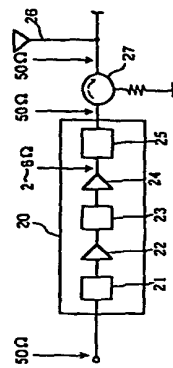
【図8】



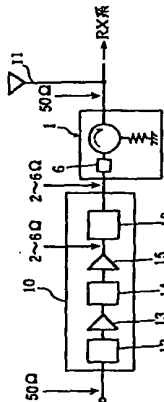
【図7】



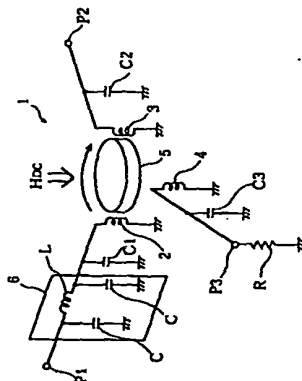
【図9】



【図2】



【図1】



フロントページの続き

(72)発明者 芦田 良彦  
京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

